

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

10146798

Basic Patent (No,Kind,Date): JP 3218640 A2 910926 <No. of Patents: 001>

MANUFACTURE OF THIN FILM TRANSISTOR (English)

Patent Assignee: SONY CORP

Author (Inventor): TAJIMA KAZUHIRO

IPC: *H01L-021/336; H01L-029/784

CA Abstract No: 116(08)074138M

Derwent WPI Acc No: C 91-328465

JAPIO Reference No: 150502E000037

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3218640	A2	910926	JP 9013896	A	900124 (BASIC)

Priority Data (No,Kind,Date):

JP 9013896 A 900124

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03555740 **Image available**

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: 03-218640 [JP 3218640 A]

PUBLISHED: September 26, 1991 (19910926)

INVENTOR(s): TAJIMA KAZUHIRO

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 02-013896 [JP 9013896]

FILED: January 24, 1990 (19900124)

INTL CLASS: [5] H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R100
(ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1147, Vol. 15, No. 502, Pg. 37,
December 18, 1991 (19911218)

ABSTRACT

PURPOSE: To make it possible to form an active region having a uniform particle diameter by a method wherein an impurity is introduced in parts, which are used as source and drain regions, of an amorphous semiconductor film and a heat treatment for generating a solid phase crystal growth in the semiconductor film is performed.

CONSTITUTION: An impurity is introduced in parts, which are used as source and drain regions 17a, of an amorphous semiconductor film 14 and a heat treatment for generating a solid phase crystal growth in the film 14 is performed. That is, the solid phase crystal growth in the regions 17a can be accelerated faster than that in an active region 17b by performing the heat treatment after the impurity is introduced in the parts, which are used as the regions 17. Accordingly, the solid phase crystal growth can be generated from the regions 17a toward the region 17b using the nuclei for the crystal growth generated in the regions 17a as seeds. Thereby, the region 17b having a uniform particle diameter is formed.

⑫ 公開特許公報(A) 平3-218640

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月26日

H 01 L 21/336
29/784

9056-5F H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 平2-13896

⑰ 出 願 平2(1990)1月24日

⑱ 発 明 者 田 島 和 浩 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 土 屋 勝

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

非晶質半導体膜のうちでソース・ドレイン領域とすべき部分に不純物を導入し、

前記非晶質半導体膜で固相結晶成長を起こさせるための熱処理を施す薄膜トランジスタの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、非晶質半導体膜で固相結晶成長を起こさせて能動層を形成する薄膜トランジスタの製造方法に関するものである。

〔発明の概要〕

本発明は、上記の様な薄膜トランジスタの製造

方法において、非晶質半導体膜のうちでソース・ドレイン領域とすべき部分に不純物を導入してから固相結晶成長を起こさせることによって、デバイス特性が均一な薄膜トランジスタを短時間で製造することができる様にしたものである。

〔従来の技術〕

薄膜トランジスタは、集積度の高いSRAMの負荷素子等として有望視されている。この薄膜トランジスタを製造するには、非晶質半導体膜で固相結晶成長を起こさせてまず能動層を形成し、その後この能動層のうちでソース・ドレイン領域とすべき部分に固相拡散やイオン注入によって不純物を導入するのが一般的である(例えば、特開昭61-127118号公報)。

〔発明が解決しようとする課題〕

ところが、上述の様な従来の方法では、能動層を形成するための固相結晶成長時の核の発生及び結晶粒の成長が遅いので、これらの発生及び成長

がランダムに行われる。このため、活性領域つまりチャネルが形成される領域の粒径にばらつきが生じる。しかも、粒径の制御は短チャネル化が進むに連れて困難になってきている。

そして、この様に活性領域の粒径にばらつきが生じると、リーク電流やスイングや移動度等の薄膜トランジスタのデバイス特性にもばらつきが生じる。

また、上述の様な従来の方法では、能動層を形成するための固相結晶成長と、不純物を固相拡散させるかまたは不純物のイオン注入によって非晶質化した能動層で再び固相結晶成長を起こさせるためとに、2回の熱処理が必要である。

しかも、リーク電流を低減させるために能動層の薄膜化が進んでいるので、固相結晶成長のための熱処理時間も20時間程度は必要である。従って、薄膜トランジスタを短時間で製造することができない。

〔課題を解決するための手段〕

～第3図を参照しながら説明する。

第1図は、いわゆるトップゲート型のpチャネル薄膜トランジスタの製造に適用した第1実施例を示している。

この第1実施例では、第1A図に示す様に、石英等から成る基板11上に厚さ8000Å程度のSiO₂膜12と厚さ400Å程度の多結晶Si膜13とを順次に形成する。そして、多結晶Si膜13にSi⁺を $1 \times 10^{13} \text{cm}^{-2}$ 程度のドーザ量にイオン注入することによって、この多結晶Si膜13を非晶質Si膜14にする。

次に、第1B図に示す様に、非晶質Si膜14をアイランド状にパターニングし、更に、ゲート絶縁膜用のSiO₂膜15とゲート電極用の多結晶Si膜16とを順次に形成し、これらの多結晶Si膜16とSiO₂膜15とをゲート電極のパターンにパターニングする。

そして、この状態でB⁺またはBF₃⁺を $5 \times 10^{13} \text{cm}^{-2}$ 程度のドーザ量にイオン注入することによって、非晶質Si膜14のうちでソース・ドレイン

本発明による薄膜トランジスタの製造方法は、非晶質半導体膜14のうちでソース・ドレイン17a領域とすべき部分に不純物を導入し、前記非晶質半導体膜14で固相結晶成長を起こさせるための熱処理を施す様にしている。

〔作用〕

本発明による薄膜トランジスタの製造方法では、ソース・ドレイン領域17aとすべき部分に不純物を導入してから熱処理を施しているのので、ソース・ドレイン領域17aにおける固相結晶成長を活性領域17bよりも速めることができる。

従って、ソース・ドレイン領域17aで発生した結晶成長の核を種とし、ソース・ドレイン領域17aから活性領域17bへ向かって固相結晶成長を起こさせることによって、均一な粒径を有する活性領域17bを形成することができる。

〔実施例〕

以下、本発明の第1及び第2実施例を、第1図

ン領域にすべき部分と多結晶Si膜16とにこれらのイオンを導入する。

次に、600℃程度の温度の熱処理を10時間程度施す。第3図は、非晶質Si膜の固相結晶成長の速さを紫外線反射率の変化で示している。

この第3図から明らかな様に、Si⁺のみがイオン注入された非晶質Si膜に比べて、Si⁺とB⁺とがイオン注入された非晶質Si膜では、結晶成長の核の発生も結晶粒の成長も速い。

このため、固相結晶成長のための熱処理時間として、前者では約15時間以上、通常は20時間程度必要であるが、後者では5時間程度で十分である。なお、この様に固相結晶成長を速めるには、B⁺を $1 \times 10^{13} \text{cm}^{-2}$ 程度以上に導入すればよい。

従って、上述の10時間程度の熱処理によって、非晶質Si膜14のうちでソース・ドレイン領域とすべき部分で固相結晶成長が起こると同時に、まだ結晶成長の核が発生していない活性領域とすべき部分へ向かって、ソース・ドレイン領域とすべき部分の端部から結晶粒が成長する。

この結果、第1C図に示す様に、非晶質Si膜14が多結晶Si膜17になってソース・ドレイン領域17a及び活性領域17bが完成し、しかも活性領域17bも均一な粒径を有している。なお、上述の熱処理によって、多結晶Si膜16でも固相結晶成長が起こる。

その後、ハロゲンランプやアークランプ等による高温、短時間アニールを施すことによって、多結晶Si膜17、16の結晶性の改善や不純物の活性化を行う。

第2図は、いわゆるボトムゲート型のpチャネル薄膜トランジスタの製造に適用した第2実施例を示している。

この第2実施例では、第2A図に示す様に、不純物を含有しているゲート電極用の多結晶Si膜16をSiO₂膜12上でパターンニングし、この状態でゲート絶縁膜用のSiO₂膜15と多結晶Si膜13とを順次に形成する。そして、多結晶Si膜13にSi⁺をイオン注入することによって、この多結晶Si膜13を非晶質Si膜14にする。

均一な粒径を有しているので、リーク電流やスイングや移動度等のデバイス特性の均一性が高い。従って、これらのpチャネル薄膜トランジスタを負荷素子として用いたSRAMでは、製造歩留が高い。

〔発明の効果〕

本発明による薄膜トランジスタの製造方法では、均一な粒径を有する活性領域を形成することができるので、リーク電流等のデバイス特性が均一な薄膜トランジスタを製造することができる。

また、非晶質半導体膜自体の固相結晶成長とソース・ドレイン領域の固相結晶成長とを1回で行っており、しかもこの固相結晶成長が速いので、薄膜トランジスタを短時間で製造することができる。

4. 図面の簡単な説明

第1図及び第2図は本発明の夫々第1及び第2実施例を順次に示す側断面図、第3図は固相結晶

次に、第2B図に示す様に、非晶質Si膜14とSiO₂膜15とをアイランド状にパターンニングし、非晶質Si膜14のうちの活性領域とすべき部分をフォトリソスト18で覆う。

そして、この状態でB⁺またはBF₃⁺をイオン注入することによって、非晶質Si膜14のうちのソース・ドレイン領域とすべき部分にこれらのイオンを導入する。

次に、600℃程度の温度の熱処理を10時間程度行うことによって、第1実施例と同様にして、第2C図に示す様に、非晶質Si膜14を多結晶Si膜17にする。

その後、エキシマレーザ等による高温、短時間アニールを施すことによって、多結晶Si膜17、16の結晶性の改善や不純物の活性化を行う。なお、この高温、短時間アニールを、第1実施例と同様にハロゲンランプやアークランプ等によって行ってもよい。

以上の様な第1及び第2実施例で製造したpチャネル薄膜トランジスタでは、活性領域17bも

成長の速さを示すグラフである。

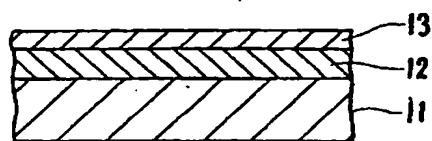
なお図面に用いた符号において、

14-----非晶質Si膜
17a-----ソース・ドレイン領域
17b-----活性領域

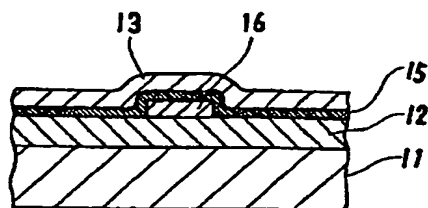
である。

代理人 土屋 勝

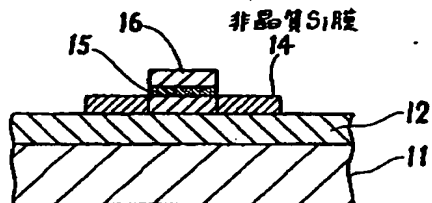
製造工程
第1A図



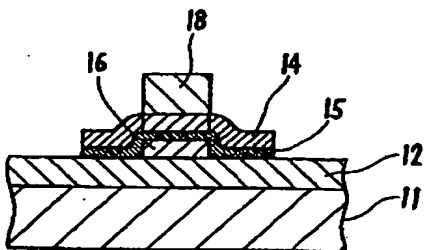
製造工程
第2A図



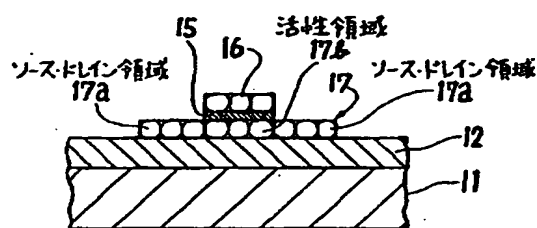
第1B図



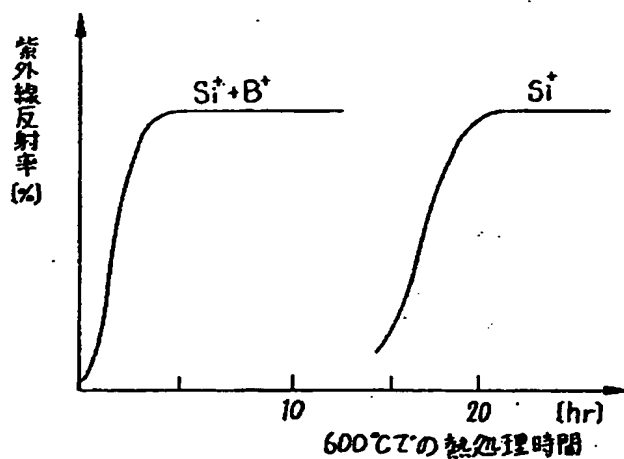
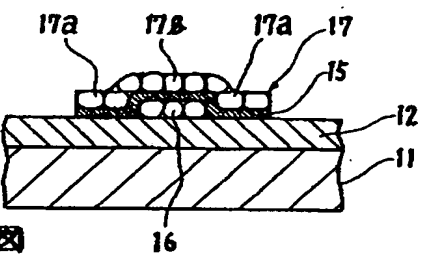
第2B図



第1C図



第2C図



固相結晶成長の速さ
第3図